



PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : G01R 31/317		A2	(11) Internationale Veröffentlichungsnummer: WO 99/66337
			(43) Internationales Veröffentlichungsdatum: 23. Dezember 1999 (23.12.99)
(21) Internationales Aktenzeichen: PCT/DE99/01719 (22) Internationales Anmeldedatum: 11. Juni 1999 (11.06.99) (30) Prioritätsdaten: 198 26 825.4 16. Juni 1998 (16.06.98) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SCHMID, Wilhelm [DE/DE]; Am Mühlbach 6, D-85055 Ingolstadt (DE). DÖRRHÖFER, Carsten [DE/DE]; Wilhelm-Leibl-Strasse 21, D-83607 Holzkirchen (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGE- SELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).		(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	
(54) Title: DEVICE FOR MEASURING AND ANALYZING ELECTRICAL SIGNALS OF AN INTEGRATED CIRCUIT COMPONENT			
(54) Bezeichnung: EINRICHTUNG ZUR VERMESSUNG UND ANALYSE VON ELEKTRISCHEN SIGNALEN EINES INTEGRI- ERTEN SCHALTUNGSBAUSTEINS			
<p>The diagram illustrates an integrated circuit component (chip) 1. It features two multiplexers (Mux) and two control registers (Steuer-register) labeled 23 and 24. The chip has external contact points 2 and 3 at the bottom. Internal points 15 to 20 are shown at the top, connected to the Muxes. Signal lines 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 16, 17, 18, 19, 21, 22 are also indicated.</p>			
(57) Abstract			
<p>According to the invention, one or more external test connection contact points (pads; pins; balls), (2, 3) are provided in an integrated circuit component (chip) (1), through which signals (4, 5, 6) that are to be measured or analyzed are selectively fed, e.g. by means of a multiplex circuit (7, 8), and wherein the signals may be connected by means of routes located internally in the component from switch points that are not directly accessible, e.g. points inside the chip (15 to 20) or covered contact points. The device according to the invention is particularly useful for highly integrated semiconductor chips.</p>			

(57) Zusammenfassung

Gemäß der Erfindung sind am integrierten Schaltungsbaustein (chip) (1) eine oder mehrere externe Test-Anschlußkontaktstellen (Pads; Pins; Balls) (2, 3) vorgesehen, an die zu vermessende bzw. zu analysierende Signale (4, 5, 6) jeweils selektiv z.B. mittels einer Multiplex-Schaltung (7, 8) durchschaltbar über bausteininterne Leitungswege von unmittelbar nicht zugänglichen Schaltungsstellen, z.B. von chipinternen Stellen (15 bis 20) oder abgedeckten Kontaktpunkten, herangeführt sind. Die Einrichtung nach der Erfindung läßt sich insbesondere bei hochintegrierten Halbleiterchips anwenden.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbajdschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Einrichtung zur Vermessung und Analyse von elektrischen Signalen eines integrierten Schaltungsbausteins

5

Die Erfindung betrifft eine Einrichtung zur elektrischen Vermessung und Analyse von an unmittelbar nicht zugänglichen Schaltungsstellen vorliegenden elektrischen Signalen eines integrierten, mit einer Vielzahl von Anschlußkontaktstellen (Pads; Pins; Balls) versehenen Schaltungsbausteins (IC; Integrated Circuit; Chip).

Um Fehlfunktionen und Taktkonzepte auf integrierten Schaltungsbausteinen analysieren zu können, ist es erforderlich, chipinterne Signale zu beobachten, also Signale, die an nicht zugänglichen Schaltungsstellen innerhalb des integrierten Schaltungsbausteins vorliegen. Dabei spielt sehr häufig eine zeitgenaue Signalbeobachtung eine wichtige Rolle. Dazu müssen beispielsweise Takte gegeneinander vermessen werden, asynchrone Signale wie Interrupts vermessen werden und Funktionen in Abhängigkeit von asynchronen Signalen analysiert werden.

Bei den bisherigen Analysen wurden spezielle, technisch äußerst aufwendige und deswegen auch sehr teure Analysegeräte verwendet. Für eine solche Analyse ist es erforderlich, den integrierten Schaltungsbaustein zu öffnen und für die Messungen zu präparieren. Durch diese Maßnahmen verändert sich aber das elektrische Verhalten der Schaltung und es ist teilweise nicht mehr möglich, Fehler zu reproduzieren.

Nicht zugängliche Schaltungsstellen können auch aufgrund der Definition und des Designs von integrierten Schaltungsbausteinen bedingt sein. Werden beispielsweise integrierte Schaltungen in den neuen, sogenannten BGA(Ball Grid Array)-Gehäusen und dann im System auf einer Systemplatte montiert, so sind am BGA-Gehäuse die Kontaktpunkte (Balls) zum System-

board nicht mehr zugänglich, da sich die Kontaktpunkte auf der Unterseite des Gehäuses befinden und damit zwischen Gehäuse und Systemboard verschwinden. Somit sind die Signale an den Kontaktpunkten für Analyse- und Testzwecke nicht mehr abgreifbar. Bei Einsatz von TQPF-Gehäusen für integrierte Halbleiterschaltungen beispielsweise stellt sich dieses Problem nicht, da auch im System die Signale direkt an den Pins abgegriffen werden können.

- 10 Bei BGA-Gehäusen werden dagegen auf dem Systemboard die wichtigsten Signale auf Testpunkte geführt und von dort weiter zum angeschlossenen Chip. Dies kostet zum einen Platz auf dem jeweiligen Systemboard, was zwangsläufig mit zusätzlichen Kosten verbunden ist, und zum anderen zusätzlichen Aufwand bei
15 der Entflechtung, bei der die entsprechenden Signale erst an die Oberfläche der teilweise mehrlagigen Leiterplatte geführt werden müssen. Aus diesen Gründen werden nur sehr wenige Signale auf Testpunkte geführt, was bedeutet, daß es im Fehlerfall durchaus möglich ist, daß gerade das gewünschte Signal
20 nicht abgreifbar ist.

- Der Erfindung liegt die Aufgabe zugrunde, eine technisch wenig aufwendige Möglichkeit zu schaffen, um die an nicht zugänglichen Schaltungsstellen eines integrierten Schaltungsbausteins vorliegenden Signale, z.B. chipinterne Signale oder
25 alle Signale an den Kontaktpunkten einer von einem BGA-Gehäuse eingeschlossenen integrierten Halbleiterschaltung, beobachten zu können, so daß Tests bzw. Analysen auch bei auffällig gewordenen Serienprodukten ohne weiteres durchgeführt
30 werden können.

- Gemäß der Erfindung, die sich auf eine Einrichtung der eingangs genannten Art bezieht, wird die vorstehend genannte Aufgabe dadurch gelöst, daß am integrierten Schaltungsbaustein eine oder mehrere externe Test-Anschlußkontaktstellen
35 vorgesehen sind, an die zu vermessende bzw. zu analysierende Signale jeweils selektiv durchschaltbar über bausteininterne

Leitungswege von den extern nicht zugänglichen Schaltungsstellen herangeführt sind.

Durch den Einsatz von externen Test-Anschlußkontaktstellen ist es möglich, interne Chipsignale sichtbar zu machen und das zeitliche Verhalten genau zu bestimmen. Dazu wird an eine der externen Test-Anschlußkontaktstellen selektiv durchschaltbar ein Referenzsignal über einen bausteininternen Leitungsweg von einer extern nicht zugänglichen Schaltungsstelle herangeführt und an die andere Test-Anschlußkontaktstelle bzw. an die anderen Test-Anschlußkontaktstellen werden zu vermessende bzw. zu analysierende Signale jeweils selektiv durchschaltbar über bausteininterne Leitungswege von extern nicht zugänglichen Schaltungsstellen herangeführt.

Für die Bestimmung des zeitlichen Signalverhaltens wird also zusätzlich zum zu analysierenden Signal das Referenzsignal verfügbar gemacht. Um zeitgenaue Analysen von chipinternen Signalen wie z.B. von Taktsignalen und asynchronen Signalen zu ermöglichen, werden also nach der Erfindung mindestens zwei externe Test-Anschlußkontaktstellen realisiert.

Bei den nicht zugänglichen Signalen kann es sich also um interne Chipsignale des integrierten Schaltungsbausteins handeln, der so ausgelegt ist, daß diese Signale einschließlich von Referenzsignalen selektiv durchschaltbar an die externen Test-Anschlußkontaktstellen geleitet sind.

Die nicht zugänglichen Signale können aber auch solche Signale sein, die an nicht zugänglichen Kontaktpunkten des Gehäuses eines integrierten Schaltungsbausteins vorliegen, wobei diese Signale einschließlich von Referenzsignalen in selektiver Durchschaltung an die Test-Anschlußkontaktstellen geleitet sind, die durch besondere der Kontaktpunkte gebildet sind.

Das Gehäuse des integrierten Schaltungsbausteins ist in diesem Fall insbesondere ein sogenanntes BGA-Gehäuse (Ball Grid Array-Gehäuse), bei dem die durch Kontaktpunkte (Balls) realisierten Test-Anschlußkontaktstellen nicht zugänglich sind, weil sich die Kontaktpunkte auf der Unterseite des Gehäuses befinden und damit zwischen dem Gehäuse und einem Systemboard, auf dem das Gehäuse angebracht ist, verschwinden, wobei die besonderen Kontaktpunkte, an welche die zu vermessenden und zu analysierenden Signale anderer Kontaktpunkte sowie die ebenfalls an anderen Kontaktpunkten vorliegenden Referenzsignale in selektiver Durchschaltung zugeleitet sind, mit entsprechend vielen metallischen Testpunkten auf dem Systemboard elektrisch leitend verbunden sind.

15 Es werden also im BGA-Gehäuse ein oder mehrere Kontaktpunkte definiert, deren Signale auf dem kundenspezifischen Systemboard an Testpunkten sichtbar gemacht werden. Auf diese Kontaktpunkte können die Signale von allen anderen Kontaktpunkten des integrierten Schaltungsbausteins sichtbar gemacht werden.

20 Im integrierten Schaltungsbaustein ist in vorteilhafter Weise zur selektiven Durchschaltung eine zeitlich gesteuerte Multiplex-Schaltung vorgesehen, über welche die verschiedenen zu vermessenden bzw. zu analysierenden Signale und die jeweiligen Referenzsignale an die Test-Anschlußkontaktstellen durchgeschaltet werden. Ist die zeitlich gesteuerte Multiplex-Schaltung in einem von einem BGA-Gehäuse umschlossenen integrierten Schaltungsbaustein vorgesehen, so sind die nicht als Test-Anschlußkontaktstellen dienenden Kontaktpunkte elektrisch leitend mit Eingängen der Multiplex-Schaltung verbunden, deren Ausgänge mit den besonderen, die Test-Anschlußkontaktstellen bildenden Kontaktpunkten des BGA-Gehäuses elektrisch leitend verbunden sind. Es können dann alle Kontaktpunktsignale beliebig auf die bestimmten Test-Kontaktpunkte gemultiplext werden. Bislang war ein Signal immer eindeutig einem oder sehr wenigen Kontaktpunkten zugeordnet.

Eine vorteilhafte Weiterbildung der Einrichtung nach der Erfindung besteht darin, daß die selektive Durchschaltung an die Test-Anschlußkontaktstellen vorgebende Steuerung der Multiplex-Schaltung programmierbar ausgebildet ist. Dadurch
5 läßt sich die Multiplex-Schaltung auch während des Betriebes wie benötigt programmieren.

Eine entsprechend der Erfindung ausgebildete Einrichtung kann
10 zur Analyse des integrierten Schaltungsbausteins mittels eines Bausteintesters, dem die an den Test-Anschlußkontaktstellen jeweils vorliegenden Signale zur Analyse eingegeben werden, verwendet werden.

15 Eine Einrichtung nach der Erfindung läßt sich auch zur direkten Analyse des integrierten Schaltungsbausteins in einer Applikation innerhalb eines Systems einsetzen, wobei die an den Test-Anschlußkontaktstellen vorliegenden Signale vermessen und analysiert werden. Dabei kann zusätzlich auch das System,
20 in welchem der integrierte Schaltungsbaustein eingesetzt ist, analysiert werden.

Die Test-Anschlußkontaktstellen können vorteilhaft wahlweise auch in umgekehrter Betriebsrichtung zur Eingabe von Signalen
25 an die extern unzugänglichen Schaltungsstellen des integrierten Schaltungsbausteins dienen (Eingabe-Mode).

Die Erfindung wird im folgenden anhand von in Zeichnungen dargestellten Ausführungsbeispielen erläutert. Es zeigen:

30 FIG. 1 die schematische Darstellung eines integrierten elektrischen Halbleiter-Schaltungsbausteins (Chip) mit zwei externen Test-Anschlußkontaktstellen (Pins), über die interne Chip-Signale beobachtet werden können,

35 FIG. 2 eine ebenfalls schematische Darstellung eines elektrischen Halbleiter-Chips mit zwei externen Test-Pads, über die

Signale von im Einbau nicht zugänglichen anderen Pads eines BGA-Gehäuses beobachtet werden können,

FIG. 3 die schematische Ansicht von in einem BGA-Gehäuse montierten elektrischen Halbleiter-Chips in einem Gesamtsystem, und

FIG. 4a, 4b und 4c untereinander eine Ansicht von unten, von der Seite bzw. von oben eines BGA-Gehäuses (Plastic Thin Flat Ball Grid Array).

Der in der FIG. 1 schematisch abgebildete integrierte Halbleiter-Schaltungsbaustein (Chip) 1 weist zwei externe Test-Anschlußkontaktstellen (Pins) 2 und 3 auf, über die chipinterne Signale 4, 5 und 6 zeitgenau beobachtet werden können, also Signale, die an nicht ohne weiteres zugänglichen Stellen der Schaltung vorliegen. Es können z.B. Takte gegeneinander vermessen werden, asynchrone Signale wie Interrupts vermessen werden oder Funktionen in Abhängigkeit von asynchronen Signalen analysiert werden. Zwei externe Anschlußkontaktstellen 2 und 3 weist der integrierte Schaltungsbaustein 1 deswegen auf, weil das zeitliche Verhalten genau bestimmt werden soll.

Für eine solche Bestimmung ist zusätzlich zum zu analysierenden Signal an einer der Test-Anschlußkontaktstellen 2 bzw. 3 ein Referenzsignal an der jeweils anderen Test-Anschlußkontaktstelle verfügbar. Daraus folgt, daß zur zeitgenauen Analyse von chipinternen Signalen 4, 5 oder 6 mindestens zwei Test-Anschlußkontaktstellen 2 und 3 vorhanden sein müssen. Zur selektiven Durchschaltung der internen Chipsignale 4, 5 oder 6 sind als Multiplex-Schaltung zwei Multiplexer 7 und 8 vorgesehen, deren Eingänge 9, 10, 11 bzw. 12, 13, 14 mit den signalführenden chipinternen Stellen 15, 16, 17 bzw. 18, 19, 20 verbunden sind. Die Ausgänge 21 und 22 der beiden Multiplexer 7 bzw. 8 sind mit den beiden externen Test-Anschlußkontaktstellen (Pins) 2 bzw. 3 elektrisch verbunden.

Gesteuert wird die Durchschaltung der beiden Multiplexer 7 und 8, die z.B. als Logik oder Tristate realisiert werden können, von jeweils einem Steuerregister 23 bzw. 24, die über einen Controller, einen digitalen Signalprozessor oder einen Tapcontroller während des Betriebs programmierbar sind.

In der FIG. 2 ist ebenfalls schematisch ein integrierter elektrischer Halbleiter-Schaltungsbaustein (Chip) 25 mit zwei externe Test-Anschlußkontaktstellen bildenden Test-Kontaktpunkten (Test-Pads; Test-Balls) 26 und 27 dargestellt, über die Signale von im Einbau nicht zugänglichen anderen Kontaktpunkten (Pads; Balls) 28 eines BGA-Gehäuses beobachtet werden können. Wie FIG. 4a, 4b und 4c in drei verschiedenen Ansichten zeigen, sind die Kontaktpunkte 28 zum Systemboard 29 nicht zugänglich, da sich die Kontaktpunkte 28 auf der Unterseite des Gehäuses 30 befinden und damit zwischen dem Gehäuse 30 und dem Systemboard 29 verschwinden.

Somit sind die Signale an den Kontaktpunkten 28 für Test- und Analysezwecke nicht abgreifbar. Zur selektiven Durchschaltung der an den Kontaktpunkten 28 vorliegenden Signale ist entsprechend der FIG. 2 eine Multiplex-Schaltung 31 vorgesehen, deren Eingänge 32 mit den einzelnen Kontaktpunkten 28 verbunden sind.

Die Ausgänge 33 und 34 der Multiplex-Schaltung 31 sind mit den beiden externen Test-Kontaktpunkten (Test-Balls) 26 bzw. 27 elektrisch verbunden. Gesteuert wird die Durchschaltung der Multiplex-Schaltung 31, die z.B. als Logik oder Tristate realisiert werden kann, von einem Steuerregister 35, das über einen Controller, einen digitalen Signalprozessor oder einen Tapcontroller während des Betriebs programmierbar ist.

In der FIG. 3 ist eine schematische Ansicht von jeweils in einem BGA-Gehäuse montierten integrierten Halbleiter-Schaltungsbausteinen 36 und 37 in einem Gesamtsystem dargestellt, das auf einem kundenspezifischen Systemboard 38 aufgebaut

ist. Auf dem Systemboard 38 sind zwei metallische Testpunkte 39 und 40 aufgebracht, die mit den beiden Test-Kontaktpunkten 26 und 27 elektrisch verbunden sind. Die Signale der beiden als Test-Kontaktpunkte 26 und 27 definierten Balls des integrierten Halbleiter-Schaltungsbausteins 36 werden auf dem Systemboard 38 an den beiden Testpunkten 39 und 40 sichtbar gemacht.

Auf diese beiden Kontaktpunkte 26 und 27 und somit auf die Testpunkte 39 und 40 können die Signale von allen anderen Kontaktpunkten 28 des integrierten Schaltungsbausteins 36 sichtbar gemacht werden. Die gesteuerte selektive Durchschaltung der einzelnen Signale von allen Kontaktpunkten 28 zu den Test-Kontaktpunkten 26 bzw. 27 erfolgt entsprechend FIG. 1 mittels der Multiplex-Schaltung 31.

Patentansprüche

1. Einrichtung zur elektrischen Vermessung und Analyse von an extern nicht zugänglichen Schaltungsstellen vorliegenden elektrischen Signalen eines integrierten, mit einer Vielzahl von Anschlußkontaktstellen (Pads; Pins; Balls) versehenen Schaltungsbausteins (IC; Integrated Circuit; Chip), dadurch gekennzeichnet, daß am integrierten Schaltungsbaustein (1) eine oder mehrere externe Test-Anschlußkontaktstellen (2, 3) vorgesehen sind, an die zu vermessende bzw. zu analysierende Signale (4, 5, 6) jeweils selektiv durchschaltbar über bausteininterne Leitungswege von den extern nicht zugänglichen Schaltungsstellen (15 bis 20) herangeführt sind.
2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß an eine (2) der externen Test-Anschlußkontaktstellen (2, 3) selektiv durchschaltbar ein Referenzsignal über einen bausteininternen Leitungs-
weg von einer extern nicht zugänglichen Schaltungsstelle (15 bis 17) herangeführt ist und daß an die andere Test-Anschlußkontaktstelle (3) bzw. an die anderen Test-Anschlußkontaktstellen zu vermessende bzw. zu analysierende Signale jeweils selektiv durchschaltbar über bausteininterne Leitungswege von extern nicht zugänglichen Schaltungsstellen (18 bis 20) herangeführt sind.
3. Einrichtung nach Anspruch 2, dadurch gekennzeichnet, daß nur zwei externe Test-Anschlußkontaktstellen (2, 3) vorgesehen sind.
4. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die nicht zugänglichen Signale (4, 5, 6) interne Chipsignale des integrierten Schaltungsbausteins (1) sind, der so ausgelegt ist, daß diese Signale einschließlich von Referenzsignalen selektiv durch-

schaltbar an die Test-Anschlußkontaktstellen (2, 3) geleitet sind.

5. Einrichtung nach einem der Ansprüche 1 bis 3,
5 dadurch gekennzeichnet, daß die nicht zugänglichen Signale solche Signale sind, die an nicht zugänglichen Kontaktpunkten (28) des Gehäuses eines integrierten Schaltungsbausteins (25) vorliegen und daß diese Signale einschließlich
10 von Referenzsignalen in selektiver Durchschaltung an die Test-Anschlußkontaktstellen (26, 27) geleitet sind, die durch besondere der Kontaktpunkte (28) gebildet sind.

6. Einrichtung nach Anspruch 5,
dadurch gekennzeichnet, daß das Gehäuse des integrierten Schaltungsbausteins ein sogenanntes BGA-Gehäuse
15 (Ball Grid Array-Gehäuse) ist, bei dem die durch Kontaktpunkte (Balls) realisierten Test-Anschlußkontaktstellen (28) nicht zugänglich sind, weil sich die Kontaktpunkte auf der Unterseite des BGA-Gehäuses (30) befinden und damit zwischen
20 dem Gehäuse und einem Systemboard (29, 38), auf dem das Gehäuse angebracht ist, verschwinden und daß die besonderen Kontaktpunkte (26, 27), an welche die zu vermessenden und zu analysierenden Signale anderer Kontaktpunkte sowie die ebenfalls an anderen Kontaktpunkten vorliegenden Referenzsignale
25 in selektiver Durchschaltung zugeleitet sind, mit entsprechend vielen metallischen Testpunkten (39, 40) auf dem Systemboard (29, 38) elektrisch leitend verbunden sind.

7. Einrichtung nach einem der vorhergehenden Ansprüche,
30 dadurch gekennzeichnet, daß im integrierten Schaltungsbaustein (1; 25) zur selektiven Durchschaltung eine zeitlich gesteuerte Multiplex-Schaltung (7, 8; 31) vorgesehen ist, über welche die verschiedenen zu vermessenden und zu analysierenden Signale und gegebenenfalls die jeweiligen Referenzsignale an die externen Test-Anschlußkontaktstellen (2,
35 3; 26, 27) durchgeschaltet werden.

8. Einrichtung nach Anspruch 5 und 7,
dadurch gekennzeichnet, daß die zeitlich gesteuerte
Multiplex-Schaltung (31) in dem vom BGA-Gehäuse umschlossenen
integrierten Schaltungsbaustein (25) vorgesehen ist und daß
5 die nicht als externe Test-Anschlußkontaktstellen (28) die-
nenden Kontaktpunkte elektrisch leitend mit Eingängen (32)
der Multiplex-Schaltung (31) verbunden sind, deren Ausgänge
(33, 34) mit den besonderen, die externen Test-Anschlußkon-
taktstellen (26, 27) bildenden Kontaktpunkten des BGA-Ge-
10 häuses elektrisch leitend verbunden sind.

9. Einrichtung nach Anspruch 7 oder 8,
dadurch gekennzeichnet, daß die selektive
Durchschaltung an die externen Test-Anschlußkontaktstellen
15 (2, 3; 26, 27) vorgebende Steuerung der Multiplex-Schaltung
(7, 8; 31) programmierbar ausgebildet ist.

10. Einrichtung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß die Test-Anschlußkon-
20 taktstellen (2, 3) wahlweise in umgekehrter Betriebsrichtung
zur Eingabe von Signalen an die extern nicht zugänglichen
Schaltungsstellen (15 bis 20) des integrierten Schaltungsbau-
steins (1) dienen (Eingabe-Mode).

25 11. Einrichtung nach einem der vorhergehenden Ansprüche,
gekennzeichnet durch eine Verwendung zur Analyse des
integrierten Schaltungsbausteins (1) mittels eines Baustein-
testers, dem die an den Test-Anschlußkontaktstellen (2, 3)
jeweils vorliegenden Signale zur Analyse eingegeben werden.

30

12. Einrichtung nach einem der Ansprüche 1 bis 10,
gekennzeichnet durch eine Verwendung zur Analyse des
integrierten Schaltungsbausteins (1) in einer Applikation in-
nerhalb eines Systems, wobei die an den Test-Anschlußkon-
35 taktstellen (2, 3) vorliegenden Signale vermessen und analy-
siert werden.

12

13. Einrichtung nach Anspruch 12,
gekennzeichnet durch eine zusätzliche Verwendung zur
Analyse des Systems, in welchem der integrierte Schaltungs-
baustein (1) eingesetzt ist.

1/4

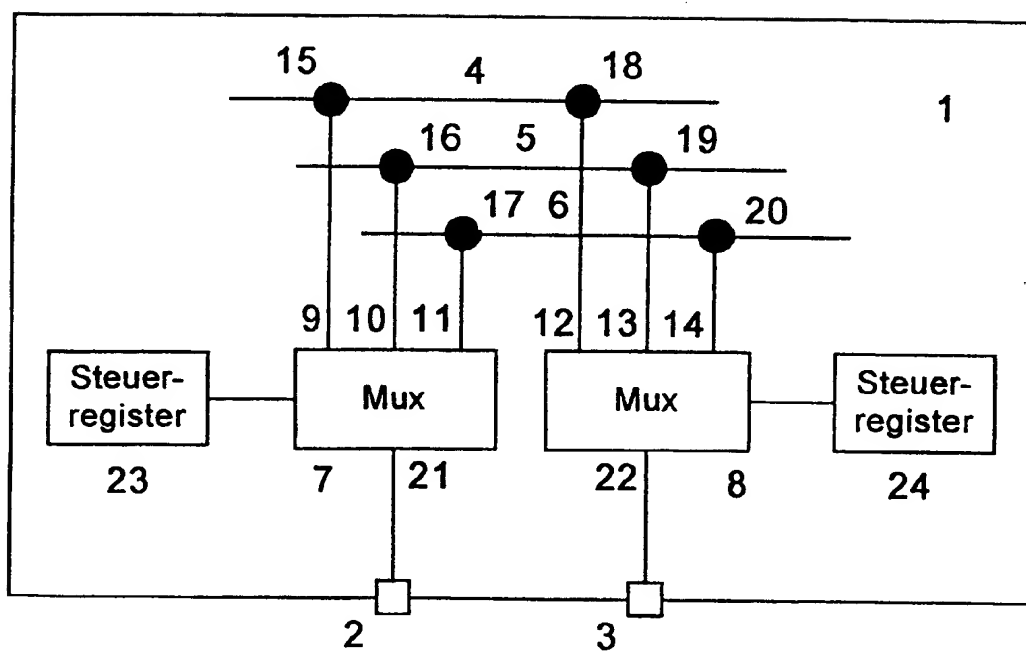


FIG. 1

2/4

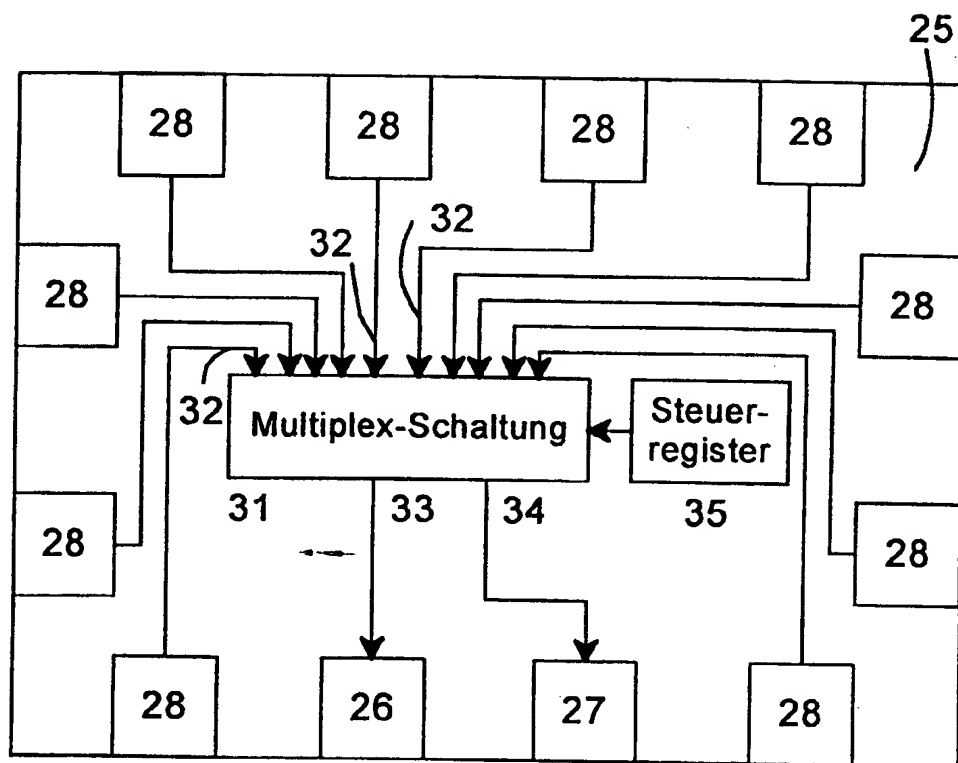


FIG. 2

3/4

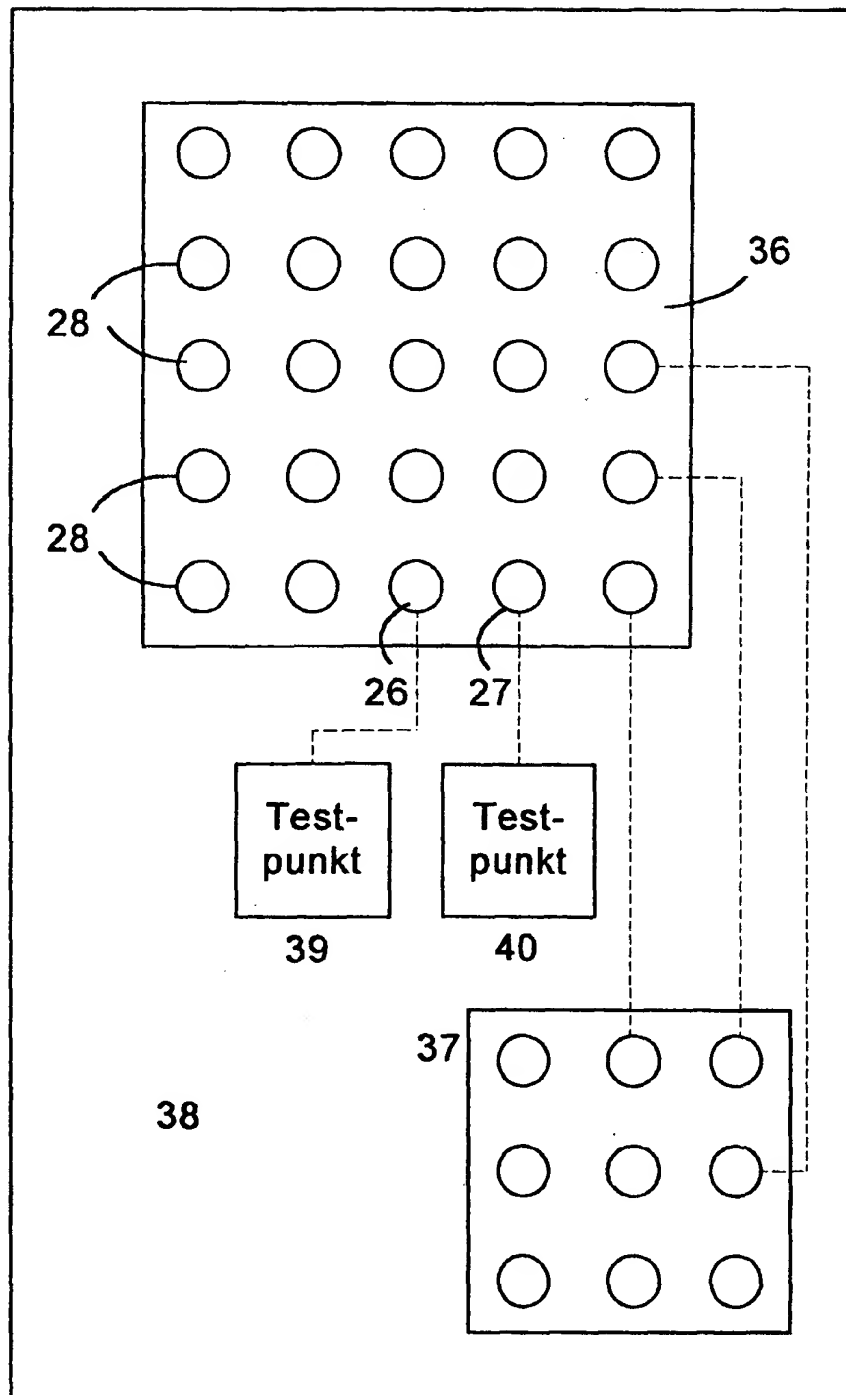


FIG. 3

4/4

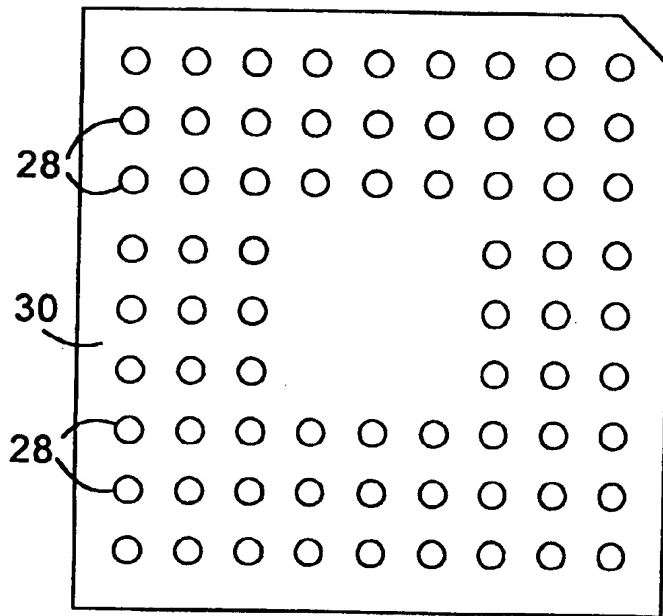


FIG. 4a

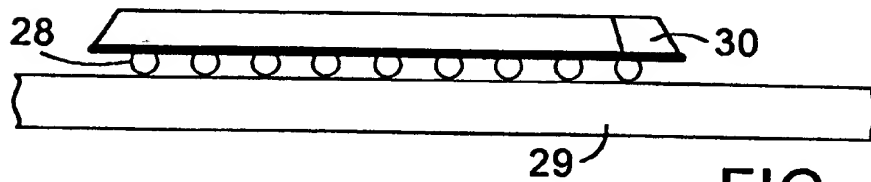


FIG. 4b

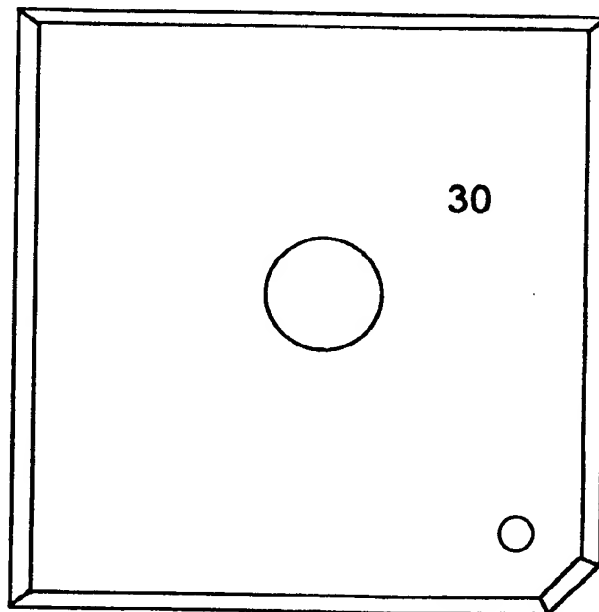


FIG. 4c